

(19)



JAPANESE PATENT OFFICE

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **07022524 A**

(43) Date of publication of application: **24.01.95**

(51) Int. Cl.

H01L 21/8247

H01L 29/788

H01L 29/792

(21) Application number: **05191904**

(71) Applicant: **NIPPON STEEL CORP**

(22) Date of filing: **06.07.93**

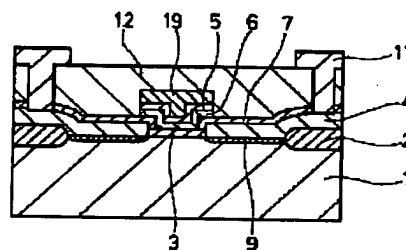
(72) Inventor: **IWASA SHOICHI**

**(54) NONVOLATILE SEMICONDUCTOR STORAGE
DEVICE AND FABRICATION THEREOF**

(57) Abstract:

PURPOSE: To provide an MNOS type EPROM wherein a source/drain diffusion layer having a shallow junction depth can be formed to make fine a memory cell.

CONSTITUTION: A pair of N-type polycrystalline silicon films 4 each having a fine interval region is formed on a P-type semiconductor substrate 1, and an N-type impurity in the polycrystalline silicon films 4 are diffused into the P-type semiconductor substrate 1 with a heat treatment to form a source/drain diffusion layer 9 having a shallow junction of about 0.05 μ m.



COPYRIGHT: (C)1995,JPO

JAPANESE PATENT APPLICATION LAID-OPEN NO. 7-22524
(Partial Translation)

[Brief Description of the Drawings]

[FIG. 1]

A sectional side view of a memory cell showing an embodiment of a manufacturing process of a nonvolatile semiconductor memory device having a SONOS structure of the present invention.

[FIG. 2]

A sectional side view of the memory cell showing the embodiment of the manufacturing process of the nonvolatile semiconductor memory device having the SONOS structure of the present invention.

[FIG. 3]

A sectional side view of the memory cell showing the embodiment of the manufacturing process of the nonvolatile semiconductor memory device having the SONOS structure of the present invention.

[FIG. 4]

A sectional side view of the memory cell showing the embodiment of the manufacturing process of the nonvolatile semiconductor memory device having the SONOS structure of the present invention.

[FIG. 5]

A sectional side view of the memory cell showing the embodiment of the manufacturing process of the nonvolatile semiconductor memory device having the SONOS structure of the present invention.

[FIG. 6]

A sectional side view of the memory cell showing the embodiment of the manufacturing process of the nonvolatile semiconductor memory device having the SONOS structure of the present invention.

[FIG. 7]

A sectional side view of the memory cell showing the embodiment of the manufacturing process of the nonvolatile semiconductor memory device having the SONOS structure of the present invention.

[FIG. 8]

A sectional side view of a memory cell showing an embodiment of a nonvolatile semiconductor memory device having an MNOS structure of the present invention.

[FIG. 9]

A sectional side view of a memory cell showing an embodiment of a nonvolatile semiconductor memory device having a SONOS structure of the present invention and including side-wall insulating films.

[FIG. 10]

A sectional side view of a memory cell showing an embodiment of a nonvolatile semiconductor memory device having a conventional MNOS-type EEPROM structure.

[FIG. 11]

An equivalent circuit diagram of a memory cell of a nonvolatile semiconductor memory device.

[Description of Reference Numerals]

- 1: P-type semiconductor substrate
- 2: element isolation insulating film
- 3: first insulating film
- 4: N-type first polycrystalline silicon layer
- 5: second gate insulating film
- 6: silicon nitride film
- 7: insulating interlayer
- 8: N-type second polycrystalline silicon layer
- 9: N-type diffusion layer
- 10: side-wall insulating film
- 11: silicide
- 12: inter-wiring insulating film
- 13: aluminum gate electrode

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平 7 - 2 2 5 2 4

(43) 公開日 平成 7 年 (1995) 1 月 24 日

(51) Int. Cl. ⁶

H 0 1 L 21/8247
29/788
29/792

識別記号

庁内整理番号

F I

技術表示箇所

H 0 1 L 29/78 3 7 1

審査請求 未請求 請求項の数 9

F D

(全 7 頁)

(21) 出願番号 特願平 5 - 191904

(22) 出願日 平成 5 年 (1993) 7 月 6 日

(71) 出願人 000006655

新日本製鐵株式会社

東京都千代田区大手町 2 丁目 6 番 3 号

(72) 発明者 岩佐 昇一

相模原市淵野辺 5 - 10 - 1 新日本製鐵株式
会社エレクトロニクス研究所内

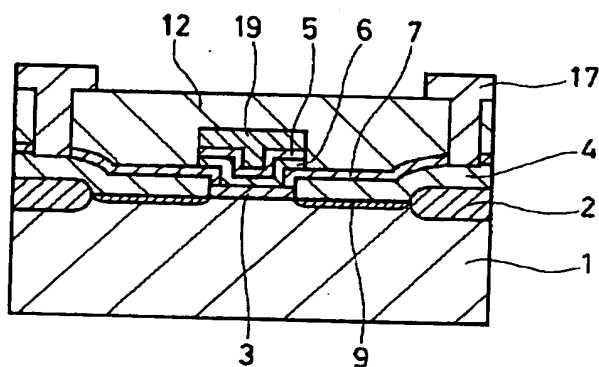
(74) 代理人 弁理士 國分 孝悦

(54) 【発明の名称】 不揮発性半導体記憶装置及びその製造方法

(57) 【要約】

【目的】 MNOS 型 EEPROM において、浅い接合深さを有するソース/ドレイン拡散層を形成することができ、メモリセルを微細化する。

【構成】 P 型半導体基板 1 上に微小間隔領域を有する 1 対の N 型の多結晶シリコン膜 4 を形成し、熱処理によって、多結晶シリコン膜 4 中の N 型不純物を P 型半導体基板 1 中に拡散させて、約 0. 0 5 μ m の浅い接合を有するソース/ドレイン拡散層 9 を形成する。



【特許請求の範囲】

【請求項1】 素子分離絶縁膜によって隔離された第1導電型半導体基板の活性領域に接触し、微小間隔をもって互いに対向して形成された1対の第2導電型の多結晶シリコン膜と、

前記1対の多結晶シリコン膜中の不純物を前記第1導電型半導体基板内に夫々拡散させて形成された1対の第2導電型拡散層と、

前記1対の多結晶シリコン膜の間の隙間領域に形成された少なくとも2層からなる第1のゲート絶縁膜と、

前記第1のゲート絶縁膜上に形成された導電膜とを有することを特徴とする不揮発性半導体記憶装置。

【請求項2】 素子分離絶縁膜によって隔離された第1導電型半導体基板の活性領域に接触し、微小間隔をもって互いに対向して形成された1対の第2導電型の多結晶シリコン膜と、

前記1対の多結晶シリコン膜中の不純物を前記第1導電型半導体基板内に夫々拡散させて形成された1対の第2導電型拡散層と、

前記1対の多結晶シリコン膜の間の隙間領域に形成された少なくとも2層からなる第1のゲート絶縁膜と、

前記第1のゲート絶縁膜上に形成されており、少なくとも1層はシリコン酸化膜からなる第2のゲート絶縁膜と、

前記第2のゲート絶縁膜上に形成された導電膜とを有することを特徴とする不揮発性半導体記憶装置。

【請求項3】 素子分離絶縁膜によって隔離された第1導電型半導体基板の活性領域に接触し、微小間隔をもって互いに対向して形成された1対の第2導電型の多結晶シリコン膜と、

前記1対の多結晶シリコン膜中の不純物を前記第1導電型半導体基板内に夫々拡散させて形成された1対の第2導電型拡散層と、

前記1対の多結晶シリコン膜の間の隙間領域に形成された少なくとも2層からなる第1のゲート絶縁膜と、

前記隙間領域において前記1対の多結晶シリコン膜の側壁に夫々形成されたサイドウォール絶縁膜と、

前記第1のゲート絶縁膜上に形成されており、少なくとも1層はシリコン酸化膜からなる第2のゲート絶縁膜と、

前記第2のゲート絶縁膜上に形成された導電膜とを有することを特徴とする不揮発性半導体記憶装置。

【請求項4】 素子分離絶縁膜によって隔離された第1導電型半導体基板の活性領域に接触し、微小間隔をもって互いに対向して形成された1対の第2導電型の多結晶シリコン膜と、

前記1対の多結晶シリコン膜中の不純物を前記第1導電型半導体基板内に夫々拡散させて形成された1対の第2導電型拡散層と、

前記1対の多結晶シリコン膜の間の隙間領域に形成され

た少なくとも2層からなる第1のゲート絶縁膜と、
前記隙間領域において前記1対の多結晶シリコン膜の側壁に夫々形成されたサイドウォール絶縁膜と、
前記第1のゲート絶縁膜上に形成された導電膜とを有することを特徴とする不揮発性半導体記憶装置。

【請求項5】 前記第1のゲート絶縁膜が、シリコン酸化膜とこのシリコン酸化膜上に形成されたシリコン窒化膜とを有することを特徴とする請求項1〜4のいずれか1項に記載の不揮発性半導体記憶装置。

10 【請求項6】 第1導電型半導体基板上に第2導電型不純物を含む多結晶シリコン膜を形成する工程と、
前記多結晶シリコン膜を選択的にエッチングして、微小間隔をもって互いに対向する1対の多結晶シリコン膜を形成する工程と、

前記1対の多結晶シリコン膜中の不純物を前記第1導電型半導体基板内に夫々拡散させて1対の第2導電型拡散層を形成する工程と、

前記微小間隔の領域に第1の絶縁膜を形成する工程と、
前記第1の絶縁膜上にシリコン窒化膜を形成する工程と、

前記シリコン窒化膜上に導電膜を形成する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項7】 第1導電型半導体基板上に第2導電型不純物を含む多結晶シリコン膜を形成する工程と、
前記多結晶シリコン膜を選択的にエッチングして、微小間隔をもって互いに対向する1対の多結晶シリコン膜を形成する工程と、

30 前記1対の多結晶シリコン膜中の不純物を前記第1導電型半導体基板内に夫々拡散させて1対の第2導電型拡散層を形成する工程と、

前記微小間隔の領域に第1の絶縁膜を形成する工程と、
前記第1の絶縁膜上に第2の絶縁膜としてシリコン窒化膜を形成する工程と、

前記シリコン窒化膜を熱酸化して、前記シリコン窒化膜上に第3の絶縁膜を形成する工程と、

前記第3の絶縁膜上に導電膜を形成する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項8】 第1導電型半導体基板上に第2導電型不純物を含む多結晶シリコン膜を形成する工程と、
40 前記多結晶シリコン膜を選択的にエッチングして、微小間隔をもって互いに対向する1対の多結晶シリコン膜を形成する工程と、

前記1対の多結晶シリコン膜中の不純物を前記第1導電型半導体基板内に夫々拡散させて1対の第2導電型拡散層を形成する工程と、

前記微小間隔の領域に第1の絶縁膜を形成する工程と、
前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、

前記第2の絶縁膜を異方性エッチングして、前記領域において前記1対の多結晶シリコン膜の側壁に夫々サイド

ウォール絶縁膜を形成する工程と、
前記第1の絶縁膜上及び前記サイドウォール絶縁膜上にシリコン窒化膜を形成する工程と、
前記シリコン窒化膜上に導電膜を形成する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【請求項9】 第1導電型半導体基板上に第2導電型不純物を含む多結晶シリコン膜を形成する工程と、
前記多結晶シリコン膜を選択的にエッチングして、微小間隔をもって互いに対向する1対の多結晶シリコン膜を形成する工程と、
前記1対の多結晶シリコン膜中の不純物を前記第1導電型半導体基板内に夫々拡散させて1対の第2導電型拡散層を形成する工程と、
前記微小間隔の領域に第1の絶縁膜を形成する工程と、
前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、
前記第2の絶縁膜を異方性エッチングして、前記領域において前記1対の多結晶シリコン膜の側壁に夫々サイドウォール絶縁膜を形成する工程と、
前記第1の絶縁膜上及び前記サイドウォール絶縁膜上にシリコン窒化膜を形成する工程と、
前記シリコン窒化膜を熱酸化して、前記シリコン窒化膜上に第4の絶縁膜を形成する工程と、
前記第4の絶縁膜上に導電膜を形成する工程とを有することを特徴とする不揮発性半導体記憶装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、例えば、MNOS (Metal Nitride Oxide Semiconductor) 型EEPROM (Electrically Erasable and Programmable Read Only Memory) のような不揮発性半導体記憶装置及びその製造方法に関するものである。

【0002】

【従来の技術】 MNOS型EEPROMは、通常のトランジスタのゲート電極下に形成されたトンネル膜として機能する約2〜3 nmの厚みのゲート絶縁膜と、ゲート絶縁膜上に形成されたシリコン窒化膜を有している。

【0003】 従来の一般的なMNOS型EEPROM構造を有する不揮発性半導体記憶装置を図10を参照しながら以下に説明する。

【0004】 図10において、不揮発性半導体記憶装置のメモリセルは、P型半導体基板1に形成された素子分離絶縁膜2によって隔離された活性領域において、P型半導体基板1上に形成された第1のゲート絶縁膜を構成する第1の絶縁膜3と、P型半導体基板1内に形成され、且つ第1の絶縁膜3の両側に形成されたN型拡散層9と、第1の絶縁膜3上に形成されたシリコン窒化膜6と、シリコン窒化膜6上に形成された第2のゲート絶縁膜5と、第2のゲート絶縁膜5上に形成されたN型ポリシリコン層8とを有している。

【0005】 また、図11はメモリセルの等価回路を示しており、18はシリコン窒化膜6からなる電荷蓄積層、21はソース、22はドレインを示しており、C1はP型半導体基板1と電荷蓄積層18との間の容量、C2はN型ポリシリコン層8と電荷蓄積層18との間の容量、C3はソース21またはドレイン22と電荷蓄積層18との間の容量である。

【0006】 従来の不揮発性半導体記憶装置は素子の微細化及びプログラム電圧の低電圧化にともなって、シリコン窒化膜6が薄膜化されており、そのためシリコン窒化膜6での電荷の保持特性を劣化させる原因となっていた。この対策として、シリコン窒化膜6上に第3の絶縁膜5が形成されている。

【0007】 図10に示す従来のMNOS型EEPROMの書き込み及び消去動作は、P型半導体基板1とシリコン窒化膜6との間で第1のゲート絶縁膜3全体を通して電子のやり取りをすることによって行われている。従って、この電子が通過する第1のゲート絶縁膜3の領域が小さければ小さいほど書き込み及び消去効率が良くなる。

【0008】

【発明が解決しようとする課題】 ところが、図10に示すような従来のMNOS型EEPROM構造を有する不揮発性半導体記憶装置において、そのゲート長はフォトリソグラフィ技術の加工精度に依存しており、第1のゲート絶縁膜3の幅でゲート長が決められ、また、通常のMOS FETと同様に、ソース/ドレイン拡散層の接合深さでリーク電流が流れる最小のゲート長が決められるため、不揮発性半導体記憶装置の微細化を行う際にフォトリソグラフィ技術の加工精度及びソース/ドレイン拡散層の接合深さで決まる限界があった。

【0009】 そこで、本発明の目的は、従来よりも微細化を行うために有利な構造を有する不揮発性半導体記憶装置及びその製造方法を提供することにある。

【0010】

【課題を解決するための手段】 上述した課題を解決するために、本発明の不揮発性半導体記憶装置は、素子分離絶縁膜によって隔離された第1導電型半導体基板の活性領域に接触し、微小間隔をもって互いに対向して形成された1対の第2導電型の多結晶シリコン膜と、前記1対の多結晶シリコン膜中の不純物を前記第1導電型半導体基板内に夫々拡散させて形成された1対の第2導電型拡散層と、前記1対の多結晶シリコン膜の間の隙間領域に形成された少なくとも2層からなる第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された導電膜とを有している。

【0011】 また、本発明の不揮発性半導体記憶装置は、素子分離絶縁膜によって隔離された第1導電型半導体基板の活性領域に接触し、微小間隔をもって互いに対向して形成された1対の第2導電型の多結晶シリコン膜

と、前記1対の多結晶シリコン膜中の不純物を前記第1導電型半導体基板内に夫々拡散させて形成された1対の第2導電型拡散層と、前記1対の多結晶シリコン膜の間の隙間領域に形成された少なくとも2層からなる第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成されており、少なくとも1層はシリコン酸化膜からなる第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された導電膜とを有している。

【0012】また、本発明の不揮発性半導体記憶装置は、素子分離絶縁膜によって隔離された第1導電型半導体基板の活性領域に接触し、微小間隔をもって互いに対向して形成された1対の第2導電型の多結晶シリコン膜と、前記1対の多結晶シリコン膜中の不純物を前記第1導電型半導体基板内に夫々拡散させて形成された1対の第2導電型拡散層と、前記1対の多結晶シリコン膜の間の隙間領域に形成された少なくとも2層からなる第1のゲート絶縁膜と、前記隙間領域において前記1対の多結晶シリコン膜の側壁に夫々形成されたサイドウォール絶縁膜と、前記第1のゲート絶縁膜上に形成されており、少なくとも1層はシリコン酸化膜からなる第2のゲート絶縁膜と、前記第2のゲート絶縁膜上に形成された導電膜とを有している。

【0013】また、本発明の不揮発性半導体記憶装置は、素子分離絶縁膜によって隔離された第1導電型半導体基板の活性領域に接触し、微小間隔をもって互いに対向して形成された1対の第2導電型の多結晶シリコン膜と、前記1対の多結晶シリコン膜中の不純物を前記第1導電型半導体基板内に夫々拡散させて形成された1対の第2導電型拡散層と、前記1対の多結晶シリコン膜の間の隙間領域に形成された少なくとも2層からなる第1のゲート絶縁膜と、前記隙間領域において前記1対の多結晶シリコン膜の側壁に夫々形成されたサイドウォール絶縁膜と、前記第1のゲート絶縁膜上に形成された導電膜とを有している。

【0014】また、本発明の不揮発性半導体記憶装置の一態様において、前記第1のゲート絶縁膜が、シリコン酸化膜とこのシリコン酸化膜上に形成されたシリコン窒化膜とを有するのが好ましい。

【0015】また、本発明の不揮発性半導体記憶装置の製造方法は、第1導電型半導体基板上に第2導電型不純物を含む多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜を選択的にエッチングして、微小間隔をもって互いに対向する1対の多結晶シリコン膜を形成する工程と、前記1対の多結晶シリコン膜中の不純物を前記第1導電型半導体基板内に夫々拡散させて1対の第2導電型拡散層を形成する工程と、前記微小間隔の領域に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上にシリコン窒化膜を形成する工程と、前記シリコン窒化膜上に導電膜を形成する工程とを有している。

【0016】また、本発明の不揮発性半導体記憶装置の

製造方法は、第1導電型半導体基板上に第2導電型不純物を含む多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜を選択的にエッチングして、微小間隔をもって互いに対向する1対の多結晶シリコン膜を形成する工程と、前記1対の多結晶シリコン膜中の不純物を前記第1導電型半導体基板内に夫々拡散させて1対の第2導電型拡散層を形成する工程と、前記微小間隔の領域に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第2の絶縁膜としてシリコン窒化膜を形成する工程と、前記シリコン窒化膜を熱酸化して、前記シリコン窒化膜上に第3の絶縁膜を形成する工程と、前記第3の絶縁膜上に導電膜を形成する工程とを有している。

【0017】また、本発明の不揮発性半導体記憶装置の製造方法は、第1導電型半導体基板上に第2導電型不純物を含む多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜を選択的にエッチングして、微小間隔をもって互いに対向する1対の多結晶シリコン膜を形成する工程と、前記1対の多結晶シリコン膜中の不純物を前記第1導電型半導体基板内に夫々拡散させて1対の第2導電型拡散層を形成する工程と、前記微小間隔の領域に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜を異方性エッチングして、前記領域において前記1対の多結晶シリコン膜の側壁に夫々サイドウォール絶縁膜を形成する工程と、前記第1の絶縁膜上及び前記サイドウォール絶縁膜上にシリコン窒化膜を形成する工程と、前記シリコン窒化膜上に導電膜を形成する工程とを有している。

【0018】また、本発明の不揮発性半導体記憶装置の製造方法は、第1導電型半導体基板上に第2導電型不純物を含む多結晶シリコン膜を形成する工程と、前記多結晶シリコン膜を選択的にエッチングして、微小間隔をもって互いに対向する1対の多結晶シリコン膜を形成する工程と、前記1対の多結晶シリコン膜中の不純物を前記第1導電型半導体基板内に夫々拡散させて1対の第2導電型拡散層を形成する工程と、前記微小間隔の領域に第1の絶縁膜を形成する工程と、前記第1の絶縁膜上に第2の絶縁膜を形成する工程と、前記第2の絶縁膜を異方性エッチングして、前記領域において前記1対の多結晶シリコン膜の側壁に夫々サイドウォール絶縁膜を形成する工程と、前記第1の絶縁膜上及び前記サイドウォール絶縁膜上にシリコン窒化膜を形成する工程と、前記シリコン窒化膜を熱酸化して、前記シリコン窒化膜上に第4の絶縁膜を形成する工程と、前記第4の絶縁膜上に導電膜を形成する工程とを有している。

【0019】

【作用】本発明によれば、製造プロセス中の熱処理によって、多結晶シリコン膜中の不純物を第1導電型半導体基板内に拡散させて第2導電型拡散層を形成するので、イオン注入法により不純物を第1導電型半導体基板内に導入して第2導電型拡散層を形成する方法に比べて、結

晶欠陥を生じることなく非常に浅い接合を形成できる。その結果、不揮発性半導体記憶装置のゲート長を短くでき、微細化が可能になる。

【0020】また、1対の第2導電型の多結晶シリコン層の微小隙間（例えば、位相シフト法等によって、フォトリソグラフィ技術で0.2〜0.3μmが実現可能）は、そのままチャネル長となってゲート絶縁膜領域が小さくなるため、書き込み及び消去効率が上がる。

【0021】

【実施例】以下、本発明の不揮発性半導体記憶装置の第1の実施例を、図1〜図7を参照しながら説明する。なお、図1〜図7の実施例において、図10の従来例と対応する部分には同一の符号を付した。

【0022】図1に示すように、選択酸化(LOCOS)法によって、P型半導体基板1上に素子分離絶縁膜2を形成して活性領域を定める。次に、P型半導体基板1上にN型不純物を含む第1の多結晶シリコン膜4を化学気相成長(CVD)法により堆積し、その上にフォトレジスト14を形成する。次に、位相シフター15を付着させた石英マスク16を介して、P型半導体基板1上に紫外線20を照射し、フォトレジスト14の露光を行う。この露光によって、位相シフター15のエッジ部分に相当するP型半導体基板1上のフォトレジスト14の腹部に0.2μm程度の微小間隔領域（スリット）が形成される。

【0023】次に、図2に示すように、微小間隔領域が形成されたフォトレジスト14をマスクとして、N型の第1の多結晶シリコン膜4を異方性ドライエッチングによってパターンニングする。

【0024】次に、図3に示すように、熱酸化法によって、N型の第1の多結晶シリコン層4及び微小間隔領域を通して露出したP型半導体基板1上に、層間絶縁膜7と第1ゲート絶縁膜を構成する第1の絶縁膜3とをそれぞれ約20Åの厚みで形成する。この時の熱酸化時の熱処理、または後続の高温アニールによって、N型の第1の多結晶シリコン層4の中のN型不純物が活性領域との接触面を介してP型半導体基板1中に拡散し、約0.05μmの浅い接合を有するN型拡散層9が得られる。

【0025】次に、図4に示すように、CVD法によって、P型半導体基板1上にシリコン窒化膜6を堆積し、そのシリコン窒化膜6を熱酸化して、第2ゲート絶縁膜5を形成する。

【0026】次に、図5に示すように、第2ゲート絶縁膜5上にN型の第2の多結晶シリコン膜8をCVD法により堆積し、その上にフォトレジスト14を形成する。次に、図示は省略するが位相シフターを付着させた石英マスクを介して、紫外線を照射し、フォトレジスト14の露光を行ってパターンニングを行う。このフォトレジスト14をマスクとして、N型の第2の多結晶シリコン膜8を異方性ドライエッチングによってパターンニングする。

【0027】次に、図6に示すように、パターンニングされたN型の第2の多結晶シリコン膜8をマスクとして、その下層にある第2ゲート絶縁膜5及びシリコン窒化膜6を異方性ドライエッチングによってパターンニングする。そして、N型の第2の多結晶シリコン膜8をゲート電極19とする。

【0028】次に、図7に示すように、全面に配線間絶縁膜12をCVD法によって形成し、配線間絶縁膜12及び層間絶縁膜7を開孔し、N型の第1の多結晶シリコン膜4とコンタクトするアルミ電極17を形成する。

【0029】次に、本発明の不揮発性半導体記憶装置の第2の実施例を図8を参照しながら説明する。なお、図8の実施例において、図1〜図7の第1の実施例と対応する部分には同一の符号を付した。

【0030】上述した第1の実施例の図1〜図3で示す工程と同様の工程を行った後、CVD法によって全面にシリコン窒化膜6を堆積し、さらにその上にアルミニウム膜を堆積した後、シリコン窒化膜6及びアルミニウム膜のパターンニングを行って、シリコン窒化膜6上にアルミゲート電極13を形成する。以上の方法によって、図8に示すようなMNOS構造を有する不揮発性半導体記憶装置が得られる。

【0031】次に、本発明の不揮発性半導体記憶装置の第3の実施例を図9を参照しながら説明する。なお、図9の実施例において、図1〜図7の第1の実施例と対応する部分には同一の符号を付した。

【0032】上述した第1の実施例の図1〜図3で示す工程と同様の工程を行った後、CVD法によって全面にシリコン酸化膜を堆積し、RIE法によりこのシリコン酸化膜を異方性エッチングすることにより、微小間隔領域が形成されたN型の第1の多結晶シリコン膜4の側壁にサイドウォール絶縁膜10を形成する。

【0033】次に、CVD法によって、全面にシリコン窒化膜6を堆積し、そのシリコン窒化膜6を熱酸化して、第2ゲート絶縁膜5を形成する。

【0034】次に、第2ゲート絶縁膜5上にゲート電極19となるN型の第2の多結晶シリコン膜を形成し、さらにその上にシリサイド(MxSi_y)11を形成する。

【0035】次に、図示は省略するがシリサイド11上にフォトレジストを形成し、位相シフターを付着させた石英マスクを介して、紫外線を照射し、フォトレジストの露光を行ってパターンニングを行う。このフォトレジストをマスクとして、シリサイド11及びゲート電極19の下半部となるN型の第2の多結晶シリコン膜を異方性ドライエッチングによってパターンニングする。

【0036】次に、パターンニングされたゲート電極19をマスクとして、その下層にある第2ゲート絶縁膜5及びシリコン窒化膜6を異方性ドライエッチングによってパターンニングする。以上の方法によって、図9に示

のようなSONOS構造を有し、サイドウォール絶縁膜を有する不揮発性半導体記憶装置が得られる。

【0037】この種のEEPROMでは、そのゲート長はフォトリソグラフィ技術の加工精度に依存するため、第1のゲート絶縁膜3の幅でゲート長が決められ、また、ソース/ドレイン拡散層の接合深さでリーク電流が流れる最小のゲート長が定められるが、本発明では、従来構造よりもソース/ドレイン拡散層の浅い接合が容易に得られ、さらに、1対の多結晶シリコン層の微小隙間は、例えば、位相シフト法等によって、フォトリソグラフィ技術で0.2～0.3μmが実現可能であり、この微小隙間がそのままチャンネル長となってゲート絶縁膜領域が小さくなるため、書き込み及び消去効率が上がる。

【0038】以上、本発明を実施例につき説明したが、本発明は上述の実施例に限定されることなく、上述の実施例は本発明の技術的思想に基づき各種の有効な変更が可能である。例えば、P型半導体基板1上のN型の第1の多結晶シリコン膜8によって、N型拡散層9を形成する実施例を示したが、N型半導体基板上のP型の多結晶シリコン膜によってP型拡散層を形成するようにしてもよい。

【0039】

【発明の効果】本発明の不揮発性半導体記憶装置及びその製造方法によれば、従来の不揮発性半導体記憶装置よりも浅い接合深さを有する不純物拡散層（ソース/ドレイン拡散層）を形成することができ、トンネル窓を従来よりも小さくすることが可能なため、メモリセルを微細化でき、さらに、書き込み及び消去効率を向上できる。

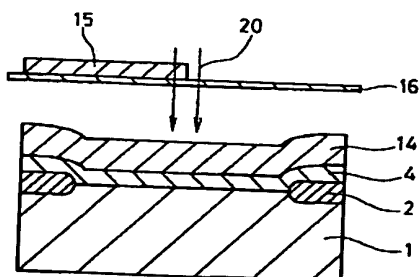
【図面の簡単な説明】

【図1】本発明のSONOS構造を有する不揮発性半導体記憶装置の製造工程の一実施例を示すメモリセルの側断面図である。

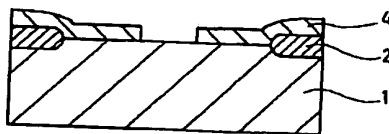
【図2】本発明のSONOS構造を有する不揮発性半導体記憶装置の製造工程の一実施例を示すメモリセルの側断面図である。

【図3】本発明のSONOS構造を有する不揮発性半導体記憶装置の製造工程の一実施例を示すメモリセルの側断面図である。

【図1】



【図2】



断面図である。

【図4】本発明のSONOS構造を有する不揮発性半導体記憶装置の製造工程の一実施例を示すメモリセルの側断面図である。

【図5】本発明のSONOS構造を有する不揮発性半導体記憶装置の製造工程の一実施例を示すメモリセルの側断面図である。

【図6】本発明のSONOS構造を有する不揮発性半導体記憶装置の製造工程の一実施例を示すメモリセルの側断面図である。

【図7】本発明のSONOS構造を有する不揮発性半導体記憶装置の製造工程の一実施例を示すメモリセルの側断面図である。

【図8】本発明のMNOS構造を有する不揮発性半導体記憶装置の一実施例を示すメモリセルの側断面図である。

【図9】本発明のSONOS構造を有し、サイドウォール絶縁膜を有する不揮発性半導体記憶装置の一実施例を示すメモリセルの側断面図である。

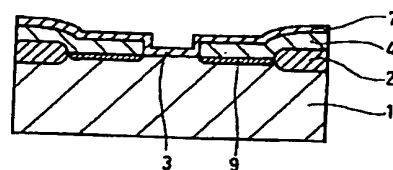
【図10】従来のMNOS型EEPROM構造を有する不揮発性半導体記憶装置の一実施例を示すメモリセルの側断面図である。

【図11】不揮発性半導体記憶装置のメモリセルの等価回路図である。

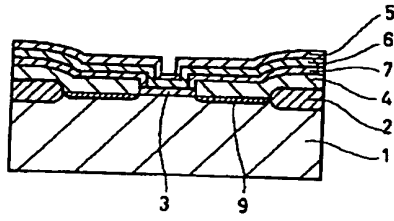
【符号の説明】

- 1 P型半導体基板
- 2 素子分離絶縁膜
- 3 第1の絶縁膜
- 4 N型の第1の多結晶シリコン層
- 5 第2のゲート絶縁膜
- 6 シリコン窒化膜
- 7 層間絶縁膜
- 8 N型の第2の多結晶シリコン層
- 9 N型拡散層
- 10 サイドウォール絶縁膜
- 11 シリサイド
- 12 配線間絶縁膜
- 13 アルミゲート電極

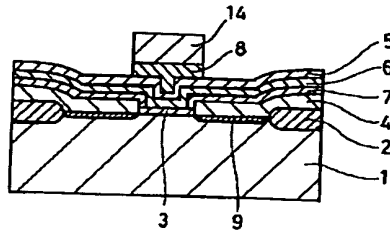
【図3】



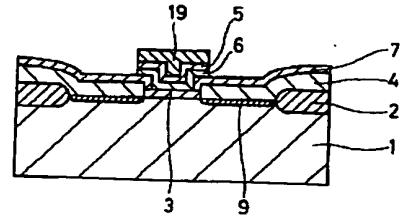
【図 4】



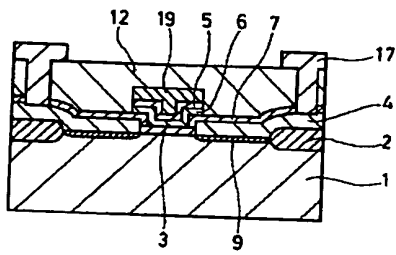
【図 5】



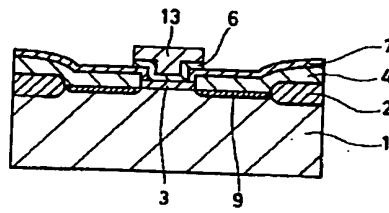
【図 6】



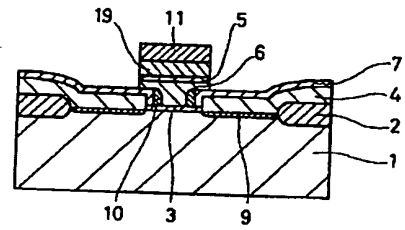
【図 7】



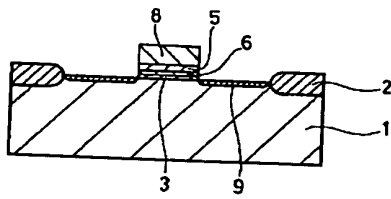
【図 8】



【図 9】



【図 10】



【図 11】

